

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-189458

(43)Date of publication of application : 10.07.2001

(51)Int.Cl.

H01L 29/786  
H01L 21/336  
G02F 1/1368  
G09F 9/30  
H01L 21/20  
H01L 21/268

(21)Application number : 11-361189

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 20.12.1999

(72)Inventor : SOTANI NAOYA  
AYA YOICHIRO  
NOGUCHI YUKIHIRO  
IDE DAISUKE

(30)Priority

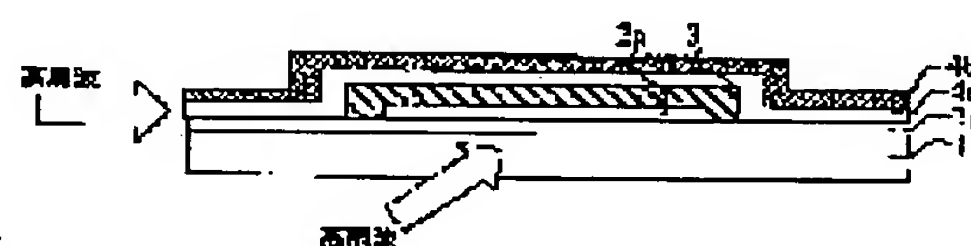
Priority number : 11296720 Priority date : 19.10.1999 Priority country : JP

## (54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device, by which the semiconductor device with a polycrystalline silicon film having superior characteristics can be manufactured with high yield.

SOLUTION: An amorphous silicon film 2a is formed onto a substrate 1, such as quartz glass, non-alkali glass or the like. A W silicide film (conductive film) 4b is formed onto the amorphous silicon film 2a. The W silicide film (conductive film) 4b is heat-generated by irradiating the W silicide film (conductive film) 4b with electromagnetic waves, such as high frequency and YAG laser beams or the like, and the amorphous silicon film 2a is changed into the polysilicon film 2 utilizing heat.



## LEGAL STATUS

[Date of request for examination]

13.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-189458

(P2001-189458A)

(43)公開日 平成13年7月10日(2001.7.10)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト(参考)
H 0 1 L 29/786		G 0 9 F 9/30	3 3 8 2 H 0 9 2
21/336		H 0 1 L 21/20	5 C 0 9 4
G 0 2 F 1/1368		21/268	F 5 F 0 5 2
G 0 9 F 9/30	3 3 8	29/78	6 2 7 G 5 F 1 1 0
H 0 1 L 21/20		G 0 2 F 1/136	5 0 0
審査請求 未請求 請求項の数12 O L (全 18 頁) 最終頁に続く			

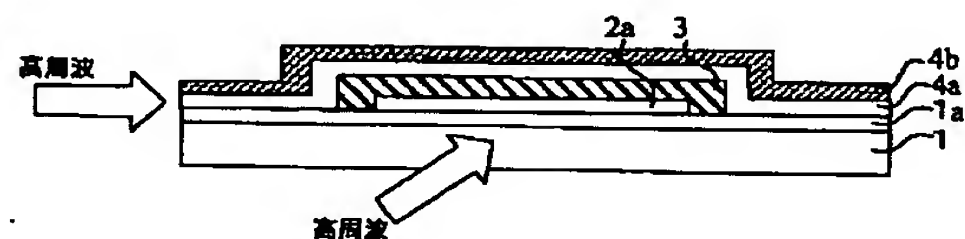
(21)出願番号	特願平11-361189	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成11年12月20日(1999.12.20)	(72)発明者	曾谷 直哉 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
(31)優先権主張番号	特願平11-296720	(72)発明者	綾 洋一郎 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
(32)優先日	平成11年10月19日(1999.10.19)	(74)代理人	100104433 弁理士 宮園 博一
(33)優先権主張国	日本(J P)		
		最終頁に続く	

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 優れた特性を有する多結晶シリコン膜を備えた半導体装置を高い歩留まりで製造することが可能な半導体装置の製造方法を提供する。

【解決手段】 石英ガラスや無アルカリガラスなどの基板1上に、非晶質シリコン膜2aを形成する。その非晶質シリコン膜2a上にWシリサイド膜(導電膜)4bを形成する。そして、Wシリサイド膜(導電膜)4bに対し、高周波やYAGレーザービームなどの電磁波を照射することにより、Wシリサイド膜(導電膜)4bを発熱させ、この熱を利用して、非晶質シリコン膜2aを多結晶シリコン膜2に変える。



【特許請求の範囲】

【請求項1】 基板上に第1非晶質シリコン膜を形成する第1の工程と、  
前記第1非晶質シリコン膜の上に導電膜を形成する第2の工程と、  
前記導電膜に電磁波を照射することにより導電膜を発熱させ、この熱を利用して前記第1非晶質シリコン膜を第1多結晶シリコン膜に変える第3の工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項2】 前記導電膜が金属膜を含むことを特徴とした請求項1に記載の半導体装置の製造方法。

【請求項3】 前記導電膜が金属膜とその下の第2非晶質シリコン膜との積層構造を含むことを特徴とした請求項1に記載の半導体装置の製造方法。

【請求項4】 前記電磁波が高周波を含むことを特徴とした請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】 前記電磁波がYAGレーザー光を含むことを特徴とした請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 前記第2の工程の前に、前記第1非晶質シリコン膜の上に絶縁膜を形成する工程を更に備えることを特徴とした請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項7】 前記第3の工程において、前記第2非晶質シリコン膜を第2多結晶シリコン膜に変えることを特徴とした請求項3に記載の半導体装置の製造方法。

【請求項8】 前記第3の工程の後に、前記導電膜をゲート電極として加工し、前記第1多結晶シリコン膜を能動層とするトランジスタを形成することを特徴とした請求項6に記載の半導体装置の製造方法。

【請求項9】 前記導電膜は、前記第3の工程の後にゲート電極として加工され、  
前記第3の工程に先だって、前記第1非晶質シリコン膜に不純物を導入することによってソース・ドレイン領域を形成し、  
前記第3の工程において、前記ゲート電極となる導電膜に前記電磁波を照射することにより前記導電膜を発熱させ、この熱を利用して、前記第1非晶質シリコンから前記第1多結晶シリコンへの結晶化と、前記ソース・ドレイン領域の活性化とを同時に行う、請求項1～8のいずれか1項に記載の半導体装置の製造方法。

【請求項10】 前記導電膜は、前記第3の工程の後に遮光膜として加工され、  
前記第3の工程に先だって、前記第1非晶質シリコン膜に不純物を導入することによってソース・ドレイン領域を形成し、  
前記第3の工程において、前記遮光膜となる導電膜に前記電磁波を照射することにより前記導電膜を発熱させ、この熱を利用して、前記第1非晶質シリコンから前記第

1多結晶シリコンへの結晶化と、前記ソース・ドレイン領域の活性化とを同時に行う、請求項1～8のいずれか1項に記載の半導体装置の製造方法。

【請求項11】 前記導電膜は、前記第3の工程の後にソース・ドレイン配線として加工され、

前記第3の工程に先だって、前記第1非晶質シリコン膜に不純物を導入することによってソース・ドレイン領域を形成し、前記第3の工程において、前記ソース・ドレイン配線となる導電膜に前記電磁波を照射することにより前記導電膜を発熱させ、この熱を利用して、前記第1非晶質シリコンから前記第1多結晶シリコンへの結晶化と、前記ソース・ドレイン領域の活性化とを同時に行う、請求項1～8のいずれか1項に記載の半導体装置の製造方法。

【請求項12】 前記電磁波は、連続発振レーザー光を含む、請求項1～3、6～11のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ(Thin Film Transistor)等の半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、市販のアクティブマトリクス方式液晶ディスプレイ(LCD: Liquid Crystal Display)の画素駆動素子(画素駆動用トランジスタ)として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ(以下、多結晶シリコンTFTという)が採用されている。

【0003】多結晶シリコンTFTは、非晶質シリコン膜を能動層に用いた薄膜トランジスタに比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTを用いれば、高性能なLCDを実現できる上に、画素部(表示部)だけでなく周辺駆動回路(ドライバ部)までを同一基板上に一体に形成することができる。

【0004】このような多結晶シリコンTFTにおいて、能動層としての多結晶シリコン膜の形成方法としては、基板上に直接多結晶シリコン膜を堆積させる方法や基板上に非晶質シリコン膜を形成した後に、これを多結晶化する方法等がある。このうち、多結晶シリコン膜を直接基板に堆積させる方法は、例えば、CVD法を用い、高温下で堆積させるという比較的簡単な工程である。

【0005】また、非晶質シリコン膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。

【0006】このような方法は、不純物活性化などの時

に900℃程度の高い温度を使用することから、高温プロセスと呼ばれており、耐熱性の高い基板（例えば、石英基板）を用いた場合には、処理時間が短く済むという利点がある。

【0007】しかしながら、前記耐熱性の高い基板は高価であり、比較的安価なガラス基板を用いた場合には、基板に熱歪みが生じて好ましくなく、近年では、低温プロセスを用いた開発が盛んである。

【0008】特に、駆動デバイスであるTFTにおいて、高性能化が必須であり、このために、低温プロセスを用いたTFTの構成材料の高品質化をはじめとする様々なアプローチがなされている。

【0009】例えば、デバイス特性を左右する活性層材料の高品質化技術として、非晶質シリコン膜を出発材料とし、エキシマレーザーアニール法によって、多結晶シリコン膜を形成する技術が開発されている。

【0010】

【発明が解決しようとする課題】従来例のレーザーアニール法は、アニールする半導体膜の膜厚や膜質により吸収率が大きく影響され、アニールを均一に行うことができず、素子特性がばらついて歩留まりを低下させる原因となる。特に、パルス発振のレーザーを用いたものにおいては、パルス発振の不安定さに起因したビーム強度のバラツキにより、素子特性のバラツキが顕著である。

【0011】本発明は、半導体装置の製造方法に関し、斯かる問題点を解決するものである。

【0012】

【課題を解決するための手段】請求項1の半導体装置の製造方法は、基板上に第1非晶質シリコン膜を形成する第1の工程と、前記第1非晶質シリコン膜の上に導電膜を形成する第2の工程と、前記導電膜に電磁波を照射することにより導電膜を発熱させ、この熱を利用して前記第1非晶質シリコン膜を第1多結晶シリコン膜に変える第3の工程と、を含むことをその要旨とする。

【0013】請求項2の半導体装置の製造方法は、請求項1の発明において、前記導電膜が金属膜を含むことをその要旨とする。

【0014】請求項3の半導体装置の製造方法は、請求項1の発明において、前記導電膜が金属膜とその下の第2非晶質シリコン膜との積層構造を含むことをその要旨とする。

【0015】請求項4の半導体装置の製造方法は、請求項1乃至3のいずれか1項の発明において、前記電磁波が高周波を含むことをその要旨とする。

【0016】請求項5の半導体装置の製造方法は、請求項1乃至3のいずれか1項の発明において、前記電磁波がYAGレーザー光を含むことをその要旨とする。

【0017】請求項6の半導体装置の製造方法は、請求項1乃至3のいずれか1項の発明において、前記第2の工程の前に、前記第1非晶質シリコン膜の上に絶縁膜を

形成する工程を更に備えることをその要旨とする。

【0018】請求項7の半導体装置の製造方法は、請求項3の発明において、前記第3の工程において、前記第2非晶質シリコン膜を第2多結晶シリコン膜に変えることをその要旨とする。

【0019】請求項8の半導体装置の製造方法は、請求項6の発明において、前記第3の工程の後に、前記導電膜をゲート電極として加工し、前記第1多結晶シリコン膜を能動層とするトランジスタを形成することをその要旨とする。

【0020】請求項9の半導体装置の製造方法は、請求項1～8のいずれか1項の発明において、導電膜は、第3の工程の後にゲート電極として加工される。また、第3の工程に先だって、第1非晶質シリコン膜に不純物を導入することによってソース・ドレイン領域を形成する。そして、第3の工程において、ゲート電極となる導電膜に電磁波を照射することにより導電膜を発熱させ、この熱を利用して、第1非晶質シリコンから第1多結晶シリコンへの結晶化と、ソース・ドレイン領域の活性化とを同時に行う。

【0021】請求項10の半導体装置の製造方法は、請求項1～8のいずれか1項の発明において、導電膜は、第3の工程の後に遮光膜として加工される。また、第3の工程に先だって、第1非晶質シリコン膜に不純物を導入することによってソース・ドレイン領域を形成する。そして、第3の工程において、遮光膜となる導電膜に電磁波を照射することにより導電膜を発熱させ、この熱を利用して、第1非晶質シリコンから第1多結晶シリコンへの結晶化と、ソース・ドレイン領域の活性化とを同時に行う。

【0022】請求項11の半導体装置の製造方法は、請求項1～8のいずれか1項の発明において、導電膜は、第3の工程の後にソース・ドレイン配線として加工される。第3の工程に先だって、第1非晶質シリコン膜に不純物を導入することによってソース・ドレイン領域を形成する。そして、第3の工程において、ソース・ドレイン配線となる導電膜に電磁波を照射することにより導電膜を発熱させ、この熱を利用して、第1非晶質シリコンから第1多結晶シリコンへの結晶化と、ソース・ドレイン領域の活性化とを同時に行う。

【0023】請求項12の半導体装置の製造方法は、請求項1～3、6～11のいずれか1項の発明において、電磁波は、連続発振レーザー光を含む。

【0024】

【発明の実施の形態】（第1実施形態）本発明を具体化した第1実施形態における半導体装置の製造方法を図面に基ついて説明する。

【0025】図1～図19は、本第1実施形態の製造プロセスを順次説明するための半導体装置の断面図を示している。



【0026】工程1（図1参照）：無アルカリガラスなどの基板1上に、 $\text{SiO}_2$ や $\text{SiN}$ などの絶縁性薄膜1aをCVD法やスパッタ法などにより形成する。この絶縁性薄膜1aは、後述する熱処理の際に、基板1中の不純物が上層に拡散することを防止する。

【0027】工程2（図2参照）：絶縁性薄膜1aの上に、プラズマCVD法を用いて非晶質シリコン膜2a（膜厚約55nm）を形成する。尚、この非晶質シリコン膜2aが本発明における「第1非晶質シリコン膜」に相当する。

【0028】工程3（図3参照）：約450℃、約1時間の脱水素処理を行った後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、非晶質シリコン膜2aを所定形状に加工する。

【0029】そして、非晶質シリコン膜2aの上に、プラズマCVD法により、シリコン酸化膜からなるゲート絶縁膜3（膜厚約100nm）を形成する。尚、このゲート絶縁膜3が本発明における「絶縁膜」に相当する。

【0030】工程4（図4参照）：ゲート絶縁膜3の上に、減圧CVD法により非晶質シリコン膜（膜厚約100nm）4aを堆積する。この非晶質シリコン膜4aは、その形成時に不純物（N型ならヒ素やリン、P型ならボロン）がドーピングされているが、ノンドーピング状態で堆積し、その後不純物を注入してもよい。尚、この非晶質シリコン膜4aが本発明における「導電膜および第2非晶質シリコン膜」に相当する。

【0031】次に、スパッタ法を用い、非晶質シリコン膜4aの上にタングステンシリサイド（Wシリサイド： $\text{WSi}_2$ ）膜4b（膜厚約100nm）を形成する。尚、このWシリサイド膜4bが本発明における「導電膜」に相当する。

【0032】工程5（図5参照）：窒素雰囲気中、基板全体を約350℃に加熱した状態で、基板の長手方向から約2.45GHz、約1GWの高周波を約0.3秒間照射し、同時に、これに垂直な方向から約1.17GHz、約1GWの高周波を約0.3秒間照射する（したがって、図示しない高周波発振装置は、2方向にそれぞれ1台ずつ設けられている）。これにより、高周波が、Wシリサイド膜4bの自由電子（伝導電子）を運動させ、Wシリサイド膜4b自身が発熱する。この熱により、非晶質シリコン膜2aおよび非晶質シリコン膜4aがアニールされて、非晶質シリコン膜2aが多結晶シリコン膜2に変わると共に非晶質シリコン膜4aが多結晶シリコン膜4cに変わる。また、導電性を有する非晶質シリコン膜4a自身も同様に発熱し、この熱によっても非晶質シリコン膜2aの多結晶化が促進される。

【0033】すなわち、非晶質シリコン膜4aを、Wシリサイド膜4bからの放射熱により加熱することにより、多結晶シリコン膜4cを形成する。また、非晶質シリコン膜2aを、非晶質シリコン膜4aおよびWシリサ

イド膜4bからの放射熱により加熱することにより、多結晶シリコン膜2を形成する。尚、この多結晶シリコン膜2が本発明における「第1多結晶シリコン膜」に相当し、多結晶シリコン膜4cが本発明における「第2多結晶シリコン膜」に相当する。

【0034】工程6（図6参照）：常圧CVD法により、Wシリサイド膜4bの上にシリコン酸化膜5を堆積した後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、多結晶シリコン膜4c、Wシリサイド膜4bおよびシリコン酸化膜5を所定形状に加工する。多結晶シリコン膜4cは、Wシリサイド膜4bとともにポリサイド構造のゲート電極4として使用する。

【0035】工程7（図7参照）：自己整合技術により、ゲート電極4およびシリコン酸化膜5をマスクとして、多結晶シリコン膜2に不純物を注入し、ソース・ドレイン領域6を形成する。

【0036】工程8（図8参照）：ゲート絶縁膜3およびシリコン酸化膜5の上に、常圧CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックすることにより、ゲート電極4およびシリコン酸化膜5の側方にサイドウォール7を形成する。更に、このサイドウォール7およびシリコン酸化膜5をレジスト8で覆い、再び自己整合技術により、レジスト8をマスクとして多結晶シリコン膜2に不純物を注入して、LDD（Lightly Doped Drain）構造を形成する。

【0037】この状態で、RTA（Rapid Thermal Annealing）法による急速加熱を行う。RTA法による加熱は、高温を用いるが、きわめて短時間で終わることができるので、基板1が変形する心配はない。

【0038】以上の工程により、薄膜トランジスタ（TFT：Thin Film Transistor）Aが形成される。

【0039】本発明者が、上記の製法を用いて、 $L/W = 5/5$ （ $\mu\text{m}$ ）のn型薄膜トランジスタ（A）を作製し、その電気的特性を測定したところ、電気効果移動度： $170\text{cm}^2/\text{Vs}$ 、 $V_{th} : 0.2\text{V}$ 、S値： $0.03\text{V}/\text{dec}$ 、と良好な数値を得ることができた。また、絶縁膜のTZDB（Time Zero Dielectric Breakdown）は、 $8.5\text{MV}/\text{cm}$ であった。この理由は、非晶質シリコン膜2aの多結晶化が、Siの融点（約1414℃）に近い温度で行われたこと、シリコン酸化膜3を形成してから熱処理して非晶質シリコン膜2aを多結晶化するので、多結晶化の際、非晶質シリコン膜2aとシリコン酸化膜3との界面の整合性が高くなること、更には、多結晶化の際にシリコン酸化膜3自身の緻密化が促進されて、シリコン酸化膜3の膜質が向上すること、が考えられる。

【0040】尚、本第1実施形態では、Wシリコン膜4bおよび非晶質シリコン膜4aの発熱温度が約1350～1400℃にまで上昇するが、加熱に要する時間が

0.3秒と短いため、熱が基板1全体に伝わる事が無く、基板1として変形温度が約750℃以下の安価な基板を用いても何ら問題は生じない。

【0041】工程9（図9参照）：レジスト8除去後、デバイスの全面に、プラズマ酸化膜と常圧CVD法によるシリコン酸化膜との積層構造から成る層間絶縁膜9を形成する。

【0042】続いて、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、層間絶縁膜9に、ソース・ドレイン領域6とコンタクトするコンタクトホール10を形成する。

【0043】工程10（図10参照）：マグネトロンスパッタ法により、Ti/Al-Si合金/Tiの積層構造からなる配線層を堆積し、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、ソース・ドレイン電極11として加工する。

【0044】工程11（図11参照）：CVD法により、デバイスの全面に保護膜としてのシリコン酸化膜12（シリコン窒化膜でもよい）を薄く堆積させる。

【0045】工程12（図12参照）：デバイス全面に、SOG（Spin On Glass）膜13を3回にわたって塗布し、デバイス表面の凹凸を平坦化する。

【0046】工程13（図13参照）：SOG膜13はレジストの剥離性が悪く、また水分を吸収しやすいので、この保護膜として、CVD法により、SOG膜13の上に更にシリコン酸化膜14（シリコン窒化膜でもよい）を薄く堆積させる。

【0047】工程14（図14参照）：フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記シリコン酸化膜12/SOG膜13/シリコン酸化膜14に、前記ソース・ドレイン電極11に通じるコンタクトホール15を形成し、デバイスの全面に、画素電極としてのITO膜16をスパッタ蒸着させる。

【0048】工程15（図15参照）：最後に、ITO膜16を電極形状に加工すべく、ITO膜16の上にレジストパターンを形成した後、まず、臭化水素ガス（HBr）を用いたRIE法によりITO膜16をエッチングし、シリコン酸化膜14が露出しはじめた時点で、ガスを塩素ガス（Cl<sub>2</sub>）に切り替え、そのまま最後までエッチングを継続する。

【0049】工程16（図16参照）：このようにLCDの片側TFT基板を形成した後は、表面に共通電極17が形成された透明絶縁基板18を相対向させ、各基板1、18の間に液晶を封入して液晶層19を形成することにより、LCDの画素部を完成させる。

【0050】図17は本第1実施形態におけるアクティブマトリクス方式LCDのブロック構成図である。

【0051】画素部20には各走査線（ゲート配線）G<sub>1</sub>…G<sub>n</sub>, G<sub>n+1</sub>…G<sub>m</sub>と各データ線（ドレイン配線）D<sub>1</sub>…D<sub>n</sub>, D<sub>n+1</sub>…D<sub>m</sub>とが配置されている。各ゲート配線と各ド

レイン配線とはそれぞれ直交し、その直交部分に画素21が設けられている。そして、各ゲート配線は、ゲートドライバ22に接続され、ゲート信号（走査信号）が印加されるようになっている。また、各ドレイン配線は、ドレインドライバ（データドライバ）23に接続され、データ信号（ビデオ信号）が印加されるようになっている。これらのドライバ22、23によって周辺駆動回路24が構成されている。

【0052】そして、各ドライバ22、23のうち少なくともいずれか一方を画素部20と同一基板上に形成したLCDは、一般にドライバー一体型（ドライバ内蔵型）LCDと呼ばれている。尚、ゲートドライバ22が、画素部20の両端に設けられている場合もある。また、ドレインドライバ23が、画素部20の両側に設けられている場合もある。

【0053】この周辺駆動回路24のスイッチング用素子にも前記多結晶シリコンTFT（A）と同等の製造方法で作成した多結晶シリコンTFTを用いており、多結晶シリコンTFT（A）の作製に並行して、同一基板上に形成される。尚、この周辺駆動回路24用の多結晶シリコンTFTは、LDD構造ではなく、通常のシングルドレイン構造を採用している（もちろん、LDD構造であってもよい）。

【0054】また、この周辺駆動回路24の多結晶シリコンTFTは、CMOS構造に形成することにより、各ドライバ22、23としての寸法の縮小化を実現している。

【0055】図18にゲート配線G<sub>n</sub>とドレイン配線D<sub>n</sub>との直交部分に設けられている画素21の等価回路を示す。

【0056】画素21は、画素駆動素子としてのTFT（前記薄膜トランジスタAと同様）、液晶セルLC、補助容量C<sub>s</sub>から構成される。ゲート配線G<sub>n</sub>にはTFTのゲートが接続され、ドレイン配線D<sub>n</sub>にはTFTのドレインが接続されている。そして、TFTのソースには、液晶セルLCの表示電極（画素電極）と補助容量（蓄積容量又は付加容量）C<sub>s</sub>とが接続されている。

【0057】この液晶セルLCと補助容量C<sub>s</sub>とにより、信号蓄積素子が構成される。液晶セルLCの共通電極（表示電極の反対側の電極）には電圧V<sub>com</sub>が印加されている。一方、補助容量C<sub>s</sub>において、TFTのソースと接続される側の反対側の電極には定電圧V<sub>R</sub>が印加されている。この液晶セルLCの共通電極は、文字通り全ての画素21に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量C<sub>s</sub>において、TFTのソースと接続される側の反対側の電極は、隣のゲート配線G<sub>n+1</sub>と接続されている場合もある。

【0058】このように構成された画素21において、ゲート配線G<sub>n</sub>を正電圧にしてTFTのゲートに正電圧

を印加すると、TFTがオンとなる。すると、ドレイン配線Dnに印加されたデータ信号で、液晶セルLCの静電容量と補助容量Csとが充電される。反対に、ゲート配線Gnを負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフとなり、その時点でドレイン配線Dnに印加されていた電圧が、液晶セルLCの静電容量と補助容量Csとによって保持される。このように、画素21へ書き込みたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素21に任意のデータ信号を保持させておくことができる。その画素21の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0059】ここで、画素21の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部20の仕様から定められた単位時間内に、信号蓄積素子（液晶セルLCおよび補助容量Cs）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0060】補助容量Csが設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性および保持特性を向上させるためである。すなわち、液晶セルLCは、その構造上、静電容量の増大には限界がある。そこで、補助容量Csによって液晶セルLCの静電容量の不足分を補うわけである。

【0061】本第1実施形態にあつては、以下のとおりの作用効果を奏する。

【0062】（イ）非晶質シリコン膜4aを、Wシリサイド膜4bからの放射熱により、加熱することにより、多結晶シリコン膜4cを形成する。また、非晶質シリコン膜2aを、非晶質シリコン膜4aおよびWシリサイド膜4bからの放射熱により、加熱することにより、多結晶シリコン膜2を形成する。その結果、多結晶シリコンTFTデバイスおよびTFTを使用したLCDデバイスの特性のバラツキを防止し、歩留まりを向上させることができる。

【0063】（ロ）非晶質シリコン膜2a、4aを多結晶化するための熱源としてのWシリサイド膜4bをゲート電極4の一部として利用することにより、一旦Wシリコン膜4bを（更には、多結晶シリコン膜4cを）剥離してから新たにゲート電極を形成することに比べて、工程数を削減することができる。

【0064】（ハ）非晶質シリコン膜2aとWシリサイド膜4b（非晶質シリコン膜4a）との間に、シリコン酸化膜3を介在させている。すなわち、シリコン酸化膜3を形成してから熱処理して非晶質シリコン膜2aを多結晶化するので、多結晶化の際、非晶質シリコン膜2aとシリコン酸化膜3との界面の整合性が高くなる。更に

は、多結晶化の際にシリコン酸化膜3自身の緻密化が促進されて、シリコン酸化膜3の膜質が向上する。したがって、このシリコン酸化膜3をゲート絶縁膜として用いた薄膜トランジスタ（A）の電気的特性が良好になる。

【0065】（ニ）上記（ハ）に加え、シリコン酸化膜3とWシリサイド膜4bとの間に、非晶質シリコン膜4aを介在させているので、この非晶質シリコン膜4aがバッファ層となって、シリコン酸化膜3やWシリサイド膜4bに加わる熱応力が緩和され、Wシリサイド膜4bにクラックが発生したり、シリコン酸化膜3の歪みに起因したトラップ準位の発生および多結晶シリコン膜2の結晶欠陥の発生が抑制される。

【0066】（ホ）多結晶シリコンTFTデバイスおよびTFTを、いわゆる低温プロセスで行うことができるので、基板1として安価なガラス基板を採用することができ、LCDデバイスの低コスト化を実現することができる。

【0067】（第2実施形態）本発明を具体化した第2実施形態を以下に説明する。本第2実施形態が第1実施形態と異なるのは、上記工程5において、高周波の照射に代えてYAG（Yttrium Aluminum Garnet）レーザービームを照射することのみでありその他の工程は同様であるので、ここでは工程5に代わる工程5aのみ説明する。

【0068】工程5a（図5参照）：基板に対して、YAGレーザービームを照射、走査してアニール処理を行う。これにより、Wシリサイド膜4b自身が発熱し、この熱により、非晶質シリコン膜2aおよび非晶質シリコン膜4aがアニールされて、非晶質シリコン膜2aが多結晶シリコン膜2に変わると共に非晶質シリコン膜4aが多結晶シリコン膜4cに変わる。また、導電性を有する非晶質シリコン膜4a自身も同様に発熱し、この熱によっても非晶質シリコン膜2aの多結晶化が促進される。

【0069】すなわち、非晶質シリコン膜4aを、Wシリサイド膜4bからの放射熱により、加熱することにより、多結晶シリコン膜4cを形成する。また、非晶質シリコン膜2aを、非晶質シリコン膜4aおよびWシリサイド膜4bからの放射熱により、加熱することにより、多結晶シリコン膜2を形成する。特に、熱源として用いたYAGレーザーは、連続発振のため安定性が高く、非晶質シリコン膜2a、4a全体を均一に加熱することができるので、多結晶化がバラツキことなく良好に行われる。

【0070】この時のレーザー条件は、レーザー光幅：約5mm、走査速度：約1cm/s、発振エネルギー：約10kWである。

【0071】尚、レーザービームとしては、Arガスレーザー等を使用してもよい。

【0072】本第2実施形態では、このYAGレーザー



アニールに、高スループットレーザー照射法を用いる。即ち、図19において、101はYAGレーザー、102はこのYAGレーザー101からのレーザービームを反射する反射鏡、103は反射鏡102からのレーザービームをシート状に加工し、基板1に照射するレーザービーム制御光学系である。

【0073】本第2実施形態にあっては、第1実施形態の作用効果に加えて以下のとおりの作用効果を奏する。

【0074】(へ) 安定性の高い連続発振によるレーザー加熱を行うので、非晶質シリコン膜2a、4a全体を均一に加熱することができ、多結晶化がバラツクことなく良好に行われ、多結晶シリコン膜2、4の高品位化を実現することができる。

【0075】(第3実施形態) 図20～図24は、本発明の第3実施形態による製造プロセスを説明するための断面図である。図20～図24を参照して、この第3実施形態では、上記した第1および第2実施形態と異なり、トップゲート型のTFETの製造プロセスにおいて、ゲート電極となる導電膜に連続発振のレーザー(エネルギー波)を照射することによって、非晶質シリコン膜から多結晶シリコン膜への結晶化と、ソース・ドレイン領域の活性化とを同時に行う。以下、第3実施形態の製造プロセスを図20～図24を参照して詳細に説明する。

【0076】工程17(図20参照)：絶縁基板31上に、減圧CVD法またはプラズマCVD法などを用いて非晶質シリコン膜32aを形成する。この非晶質シリコン膜32aは、本発明の「第1非晶質シリコン膜」を構成する。また、プラズマCVD法などを用いて非晶質シリコン膜32a上にシリコン酸化膜からなるゲート絶縁膜33を形成する。このゲート絶縁膜33は、本発明の「絶縁膜」を構成する。フォトリソグラフィ技術とドライエッチング技術とを用いて、ゲート絶縁膜33および非晶質シリコン膜32aをパターンニングすることによって、島(アイランド)を形成する。

【0077】工程18(図21参照)：非晶質シリコン膜32aの活性層となる領域を覆うように、ゲート絶縁膜33上にレジスト35を形成する。このレジスト35をマスクとして、イオン注入法またはイオンシャワー法を用いて、非晶質シリコン膜32aに不純物を導入することによって、ソース・ドレイン領域36を形成する。なお、ソース・ドレイン領域36への不純物の導入は、不純物を含んだ導電層から拡散させる方法で行ってもよい。この後、レジスト35を除去する。

【0078】工程19(図22参照)：全面を覆うように、減圧CVD法またはプラズマCVD法などを用いて非晶質シリコン膜34aを形成する。非晶質シリコン膜34aの膜厚は、1nm～1μm程度であり、好ましくは10nm～500nm、より好ましくは50nm～200nmである。また、非晶質シリコン膜34aは、その形成時に、不純物がドーブされているが、ノンドーブ

状態で堆積し、その後に不純物を注入してもよい。この非晶質シリコン膜34aは、本発明の「第2非晶質シリコン膜および導電膜」を構成する。非晶質シリコン膜34a上に、エネルギー波吸収膜34bを形成する。このエネルギー波吸収膜34bは、本発明の「導電膜」を構成する。

【0079】エネルギー波吸収膜34bのシート抵抗は、10Ω/□～1kΩ/□であり、好ましくは100Ω/□～500Ω/□、より好ましくは200Ω/□～500Ω/□である。このようなエネルギー波吸収膜34bは、スパッタ法や蒸着法、メッキ法などにより形成する。エネルギー波吸収膜34bとしては、たとえば、第1実施形態の高周波が照射される導電膜と同様、Wシリサイド膜を用いることができる。

【0080】工程20(図23参照)：エネルギー波吸収膜34bに対してエネルギー波を照射する。これにより、エネルギー波吸収膜34bが加熱され、この熱によって、非晶質シリコン膜32aおよび非晶質シリコン膜34aがアニールされる。その結果、非晶質シリコン膜32aが多結晶シリコン膜32に変わると共に、非晶質シリコン膜34aが多結晶シリコン膜34cに変わる。さらに、エネルギー波吸収膜34bの熱によって、ソース・ドレイン領域36も活性化される。また、導電性を有する非晶質シリコン膜34a自身も同様に発熱し、この熱によっても非晶質シリコン膜32aの多結晶化とソース・ドレイン領域の活性化とが促進される。なお、多結晶シリコン膜32が、本発明の「第1多結晶シリコン膜」を構成し、多結晶シリコン膜34cが、本発明の「第2多結晶シリコン膜」を構成する。

【0081】つまり、この第3実施形態では、エネルギー波吸収膜34bに対してエネルギー波を照射することによって、ゲート電極となる非晶質シリコン膜34aの結晶化と、活性層となる非晶質シリコン膜32aの結晶化と、ソース・ドレイン領域36の活性化とが同時に行われる。

【0082】エネルギー波としては、YAGレーザーなどの連続発振のレーザーを用いる。連続発振のレーザーを用いることによって、パルスレーザーと異なり、レーザー光線の高速走査を行うことができるので、大きな面積の領域を均一にかつ短時間で処理することが可能である。この結果、パルス間のエネルギーのバラツキが無くなり、多結晶化が良好に行われる。

【0083】工程21(図24参照)：エネルギー波吸収膜34bと多結晶シリコン膜34cとをフォトリソグラフィ技術とドライエッチング技術とを用いてパターンニングすることによって、ゲート電極を形成する。そして、層間絶縁膜37を形成した後、フォトリソグラフィ技術とドライエッチング技術とを用いて、ソース・ドレイン領域36に達するコンタクトホールを形成する。さらに、そのコンタクトホール内および全面を覆うように

導電性膜を形成し、フォトリソグラフィ技術とドライエッチング技術とを用いてソース・ドレイン配線38を形成する。これにより、第3実施形態によるトップゲート型のTFTが完成される。

【0084】上記第3実施形態では、第1実施形態の作用効果に加えて以下の作用効果を奏する。

【0085】すなわち、予めソース・ドレイン領域36を形成した後に、エネルギー波吸収膜34bに対してエネルギー波を照射することによって、ゲート電極となる非晶質シリコン膜34aの結晶化と、活性層となる非晶質シリコン膜32aの結晶化と、ソース・ドレイン領域36の活性化とを同時に行うことができるので、製造プロセスを簡略化することができる。また、エネルギー波として連続発振レーザーを用いることによって、パルスレーザーと異なり、レーザー光線の高速走査を行うことができるので、大きな面積の領域を均一にかつ短時間で処理することが可能である。その結果、大型基板にも適用可能となり、生産性を向上させることができる。さらに、連続発振レーザー装置の稼働費は、パルスレーザーに比べて安価であるので、製造コストを低減することができる。

【0086】(第4実施形態)図25～図31は、本発明の第4実施形態による製造プロセスを説明するための断面図である。図25～図31を参照して、この第4実施形態では、上記した第3実施形態と異なり、ボトムゲート型のTFTの製造プロセスにおいて、遮光膜となる導電膜に連続発振レーザー(エネルギー波)を照射することによって、非晶質シリコン膜から多結晶シリコン膜への結晶化と、ソース・ドレイン領域の活性化とを同時に行う。以下、第4実施形態の製造プロセスを図25～図31を参照して詳細に説明する。

【0087】工程22(図25参照):絶縁基板41上に、CVD法を用いて導電性膜を形成した後、フォトリソグラフィ技術とドライエッチング技術とを用いてパターンニングすることによって、ゲート電極42を形成する。プラズマCVD法などを用いて、P-SiN膜、P-SiO膜、または、これらの積層膜からなるゲート絶縁膜43を形成する。

【0088】工程23(図26参照):減圧CVD法またはプラズマCVD法などを用いて、非晶質シリコン膜44aを形成する。この非晶質シリコン膜44aは、本発明の「第1非晶質シリコン膜」を構成する。プラズマCVD法などを用いて、非晶質シリコン膜44a上にSiO<sub>2</sub>膜からなる絶縁膜45を形成する。この絶縁膜45は、本発明の「絶縁膜」を構成する。フォトリソグラフィ技術とドライエッチング技術とを用いて、絶縁膜45および非晶質シリコン膜44aをパターンニングすることによって、島(アイランド)を形成する。

【0089】工程24(図27参照):非晶質シリコン膜44aの活性層となる領域を覆うように、絶縁膜45

上にレジスト46を形成する。このレジスト46をマスクとして、イオン注入法またはイオンシャワー法を用いて、非晶質シリコン膜44aに不純物を導入することにより、ソース・ドレイン領域47を形成する。なお、不純物の導入は、不純物を含んだ導電層から拡散させる方法で行ってもよい。この後、レジスト46を除去する。

【0090】工程25(図28参照):全面を覆うように、Wシリサイド膜などからなるエネルギー波吸収膜48を形成する。このエネルギー波吸収膜48が、本発明の「導電膜」を構成する。エネルギー波吸収膜48のシート抵抗および形成方法などは、上記した第3実施形態と同様である。なお、このエネルギー波吸収膜48は、後の工程で遮光膜となる。

【0091】工程26(図29参照):エネルギー波吸収膜48に対してエネルギー波(連続発振レーザー)を照射する。これにより、エネルギー波吸収膜48が加熱され、この熱によって、非晶質シリコン膜44aがアニールされる。その結果、非晶質シリコン膜44aが多結晶シリコン膜44に変わると共に、ソース・ドレイン領域47も活性化される。なお、多結晶シリコン膜44は、本発明の「第1多結晶シリコン膜」を構成する。

【0092】つまり、この第4実施形態では、エネルギー波吸収膜48に対してエネルギー波(連続発振レーザー)を照射することによって、活性層となる非晶質シリコン膜44aの結晶化と、ソース・ドレイン領域47の活性化とが同時に行われる。

【0093】工程27(図30参照):エネルギー波吸収膜48をフォトリソグラフィ技術とドライエッチング技術とを用いてパターンニングすることによって、遮光膜を形成する。

【0094】工程28(図31参照):全面を覆うように層間絶縁膜49を形成した後、フォトリソグラフィ技術とドライエッチング技術とを用いて、ソース・ドレイン領域に達するコンタクトホールを形成する。さらに、そのコンタクトホール内および全面を覆うように導電性膜を形成し、フォトリソグラフィ技術とドライエッチング技術とを用いてソース・ドレイン配線50を形成する。これにより、第4実施形態によるボトムゲート型のTFTが完成される。

【0095】第4実施形態では、第3実施形態と同様、予めソース・ドレイン領域47を形成した後に、エネルギー波吸収膜48に対してエネルギー波(連続発振レーザー)を照射することによって、活性層となる非晶質シリコン膜44aの結晶化と、ソース・ドレイン領域47の活性化とを同時に行うことができるので、製造プロセスを簡略化することができる。また、エネルギー波として連続発振レーザーを用いることによって、パルスレーザーと異なり、レーザー光線の高速走査を行うことができるので、大きな面積の領域を均一にかつ短時間で処理することが可能である。その結果、大型基板にも適用可能

となり、生産性を向上させることができる。さらに、連続発振レーザー装置の稼働費は、パルスレーザーに比べて安価であるので、製造コストを低減することができる。

【0096】（第5実施形態）図32～図36は、本発明の第5実施形態による製造プロセスを説明するための断面図である。図32～図36を参照して、この第5実施形態では、トップゲート型のTFTの製造プロセスにおいて、ソース・ドレイン配線となる導電膜に連続発振のYAGレーザー（エネルギー波）を照射することによって、非晶質シリコン膜から多結晶シリコン膜への結晶化と、ソース・ドレイン領域の活性化とを同時に行う。以下、第5実施形態の製造プロセスを図32～図36を参照して詳細に説明する。

【0097】工程29（図32参照）：絶縁基板61上に、減圧CVD法またはプラズマCVD法などを用いて非晶質シリコン膜62aを形成する。この非晶質シリコン膜62aは、本発明の「第1非晶質シリコン膜」を構成する。また、プラズマCVD法などを用いて非晶質シリコン膜62a上にシリコン酸化膜からなるゲート絶縁膜63を形成する。このゲート絶縁膜63は、本発明の「絶縁膜」を構成する。フォトリソグラフィ技術とドライエッチング技術とを用いて、ゲート絶縁膜63および非晶質シリコン膜62aをパターンニングすることによって、島（アイランド）を形成する。

【0098】工程30（図33参照）：ゲート絶縁膜63上を覆うように導電性膜を形成した後、フォトリソグラフィ技術とドライエッチング技術とを用いて、その導電性膜をパターンニングすることによって、ゲート電極64を形成する。ゲート電極64をマスクとして、イオン注入法を用いて、非晶質シリコン膜62aに不純物を導入することによって、ソース・ドレイン領域65を形成する。なお、ソース・ドレイン領域65への不純物の導入は、不純物を含む導電層から拡散させるようにしてもよい。

【0099】工程31（図34参照）：全面を覆うように層間絶縁膜66を形成した後、フォトリソグラフィ技術とドライエッチング技術とを用いて、ソース・ドレイン領域65に達するコンタクトホールを形成する。さらに、そのコンタクトホール内および全面を覆うように、Wシリサイド膜などからなるエネルギー波吸収膜67を形成する。このエネルギー波吸収膜67は、本発明の「導電膜」を構成する。エネルギー波吸収膜67のシート抵抗および形成方法などは、上記した第3実施形態と同様である。なお、このエネルギー波吸収膜67は、後の工程でソース・ドレイン配線となる。

【0100】工程32（図35参照）：エネルギー波吸収膜67に対して、連続発振のYAGレーザー（エネルギー波）を照射することにより、エネルギー波吸収膜67が加熱され、この熱によって、非晶質シリコン膜62

aがアニールされる。これにより、非晶質シリコン膜62aが多結晶シリコン膜62に変わると共に、ソース・ドレイン領域65も活性化される。なお、この多結晶シリコン膜62が本発明の「第1多結晶シリコン膜」を構成する。

【0101】つまり、この第5実施形態では、ソース・ドレイン配線となるエネルギー波吸収膜67に対して連続発振のYAGレーザー（エネルギー波）を照射することによって、活性層となる非晶質シリコン膜62aの結晶化と、ソース・ドレイン領域67の活性化とが同時に行われる。

【0102】工程33（図36参照）：最後に、エネルギー波吸収膜67をフォトリソグラフィ技術とドライエッチング技術とを用いてパターンニングすることによって、ソース・ドレイン配線67を形成する。これにより、第5実施形態によるトップゲート型のTFTが完成される。

【0103】第5実施形態では、第3および第4実施形態と同様、予めソース・ドレイン領域65を形成した後、エネルギー波吸収膜67に対してYAGレーザー（エネルギー波）を照射することによって、活性層となる非晶質シリコン膜62aの結晶化と、ソース・ドレイン領域65の活性化とを同時に行うことができるので、製造プロセスを簡略化することができる。また、エネルギー波として連続発振のYAGレーザーを用いることによって、パルスレーザーと異なり、レーザー光線の高速走査を行うことができるので、大きな面積の領域を均一にかつ短時間で処理することが可能である。その結果、大型基板にも適用可能となり、生産性を向上させることができる。さらに、連続発振のYAGレーザー装置の稼働費は、パルスレーザーに比べて安価であるので、製造コストを低減することができる。

【0104】さらに、第5実施形態では、第1～第4実施形態と異なり、ソース・ドレイン配線となるエネルギー波吸収膜67は、直接ソース・ドレイン領域65に接触するように形成されている。この状態でエネルギー波吸収膜67にエネルギー波を照射するので、エネルギー波吸収膜67の熱が直接ソース・ドレイン領域67を構成する非晶質シリコン膜62aに伝達される。これにより、第1～第4実施形態と比較して非晶質シリコン膜62aに熱がより伝わりやすくなる。その結果、非晶質シリコン膜62aの結晶化をより良好に行うことができ、品質の優れた多結晶シリコン膜62を得ることができる。

【0105】（第6実施形態）図37～図41は、本発明の第6実施形態による製造プロセスを説明するための断面図である。図37～図41を参照して、この第6実施形態では、ボトムゲート型のTFTの製造プロセスにおいて、ソース・ドレイン配線となる導電膜に連続発振のYAGレーザー（エネルギー波）を照射することによ



って、非晶質シリコン膜から多結晶シリコン膜への結晶化と、ソース・ドレイン領域の活性化とを同時に行う。以下、第6実施形態の製造プロセスを図37～図41を参照して詳細に説明する。

【0106】工程34（図37参照）：絶縁基板71上に、CVD法を用いて導電性膜を形成した後、フォトリソグラフィ技術とドライエッチング技術とを用いてパターンニングすることによって、ゲート電極72を形成する。プラズマCVD法などを用いて、P-SiN膜、P-SiO膜、または、これらの積層膜からなるゲート絶縁膜73を形成する。

【0107】工程35（図38参照）：減圧CVD法またはプラズマCVD法などを用いて、非晶質シリコン膜74aを形成する。この非晶質シリコン膜74aは、本発明の「第1非晶質シリコン膜」を構成する。フォトリソグラフィ技術とドライエッチング技術とを用いて、非晶質シリコン膜74aをパターンニングすることによって、島（アイランド）を形成する。

【0108】工程36（図39参照）：非晶質シリコン膜74aの活性層となる領域を覆うように、レジスト75を形成する。このレジスト75をマスクとして、イオン注入法またはイオンシャワー法を用いて、非晶質シリコン膜74aに不純物を導入することにより、ソース・ドレイン領域76を形成する。なお、不純物の導入は、不純物を含んだ導電層から拡散させる方法で行ってもよい。この後、レジスト75を除去する。

【0109】工程37（図40参照）：全面を覆うように層間絶縁膜77を形成した後、フォトリソグラフィ技術とドライエッチング技術とを用いて、ソース・ドレイン領域76に達するコンタクトホールを形成する。なお、この層間絶縁膜77は、本発明の「絶縁膜」を構成する。さらに、そのコンタクトホール内および全面を覆うように、Wシリサイド膜などからなるエネルギー波吸収膜78を形成する。このエネルギー波吸収膜78は、本発明の「導電膜」を構成する。エネルギー波吸収膜78のシート抵抗および形成方法などは、上記した第3実施形態と同様である。なお、このエネルギー波吸収膜78は、後の工程でソース・ドレイン配線となる。

【0110】エネルギー波吸収膜78に対して、連続発振のYAGレーザー（エネルギー波）を照射することにより、エネルギー波吸収膜78が加熱され、この熱によって、非晶質シリコン膜74aがアニールされる。これにより、非晶質シリコン膜74aが多結晶シリコン膜74に変わると共に、ソース・ドレイン領域76も活性化される。なお、この多結晶シリコン膜74が本発明の「第1多結晶シリコン膜」を構成する。

【0111】つまり、この第6実施形態では、ソース・ドレイン配線となるエネルギー波吸収膜78に対して連続発振のYAGレーザー（エネルギー波）を照射することによって、活性層となる非晶質シリコン膜74aの結

晶化と、ソース・ドレイン領域76の活性化とが同時に行われる。

【0112】工程38（図41参照）：最後に、エネルギー波吸収膜78をフォトリソグラフィ技術とドライエッチング技術とを用いてパターンニングすることによって、ソース・ドレイン配線78を形成する。これにより、第6実施形態によるボトムゲート型のTFTが完成される。

【0113】第6実施形態では、第5実施形態と同様、ソース・ドレイン配線となるエネルギー波吸収膜78は、直接ソース・ドレイン領域65に接触しているので、エネルギー波吸収膜67にエネルギー波を照射する際、エネルギー波吸収膜67の熱が直接ソース・ドレイン領域76を構成する非晶質シリコン膜74aに伝達される。これにより、非晶質シリコン膜74aに熱がより伝わりやすくなるので、非晶質シリコン膜62aの結晶化をより良好に行うことができ、その結果、結晶性の優れた多結晶シリコン膜62を得ることができる。

【0114】なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0115】たとえば、以上の実施形態は以下のように変更してもよく、その場合でも同様の作用、効果を得ることができる。

【0116】（1）第1および第2実施形態のWシリサイド膜4bに代えて、ニッケル-亜鉛合金（10at%-Zn/Ni）を形成する。このニッケル-亜鉛合金は、約1400℃の融点を有し、完全に溶解するまでは、自己発熱温度（約1400℃）を維持するが、完全に溶解してしまうと球状の塊に分散し、非晶質シリコン膜4a（多結晶シリコン膜4c）との接触面積が小さくなって下層に対する加熱が停止する。

【0117】したがって、非晶質シリコン膜4a等の加熱の最高温度を自動的に約1400℃に制限することができる。尚、約1400℃という温度は、合金種や合金比率を調整することで適宜に設定することができる。

【0118】（2）第1および第2実施形態において、非晶質シリコン膜4aの形成を省略し、シリコン酸化膜3の上に直接Wシリサイド膜4bや上記（1）のニッケル-亜鉛合金を形成する。この場合、ゲート電極4は、Wシリコン膜4bやニッケル-亜鉛合金のみから形成されることになる。

【0119】（3）第2実施形態では、工程3において、非晶質シリコン膜2aを所定形状に加工してから、その後の工程でこれを多結晶化したが、多結晶化してから所定形状に加工しても良い。



【0120】この場合、シート状に加工されたレーザービームによる帯状の加熱部が基板上を移動することにより、帯状の加熱部でのみ結晶が成長し、他の部分では結晶核の発生も起こらないため、結晶が加熱部の移動方向に長く成長しやすくなる。

【0121】例えば、ゲート電極4としてニッケル-亜鉛合金のみを用いた場合、多結晶シリコン膜2は柱状の結晶構造となる。本発明者が、この柱状結晶をチャンネル長方向と平行な方向に（すなわち、チャンネル長方向に粒界が存在しないように）配置して、 $L/W=5/5$  ( $\mu m$ ) のn型薄膜トランジスタ(A)を作製し、その電気的特性を測定したところ、電気効果移動度： $215 cm^2/Vs$ 、 $V_{th}: 0.3V$ 、 $S$ 値： $0.03V/dec$ 、と良好な数値を得ることができた。また、絶縁膜のTZDB (Time Zero Dielectric Breakdown) は、 $8.5 MV/cm$ であった。

【0122】(4) 第1、第2実施形態において、Wシリサイド膜4bを省略する。上述したとおり、非晶質シリコン膜4aの自己発熱によっても非晶質シリコン膜2aの多結晶化を促進することができる。

【0123】(5) 第1、第2実施形態において、多結晶シリコン膜2を形成した後、一旦多結晶シリコン膜4cおよびWシリコン膜4bを剥離する。

【0124】(6) 高周波やレーザー光に代えて、ランプ光を用いる。これら高周波、レーザー光、ランプ光等を総称して本発明では「電磁波」とする。

【0125】(7) 非晶質シリコン膜をプラズマCVD法によらず、減圧CVD法、常圧CVD法、光励起CVD法、蒸着法、EB (Electron Beam) 蒸着法、MBE (Molecular Beam Epitaxy) 法、スパッタ法からなるグループの内のいずれか一つの方法によって形成する。

【0126】(8) Wシリサイド膜4bおよびエネルギー波吸収膜34b、48、67、78を構成するWシリサイド膜に代えて、Cu、 $MoSi_2$ 、 $TiSi_2$ 、 $TaSi_2$ 、 $CoSi_2$ 、W、Mo、Co、Cr、Ti、Taなどを用いる。更には、使用温度が低い場合には（約450℃以下）、AlやAuなどのいわゆる低融点金属を用いても良い。

【0127】(9) 多結晶シリコンTFETだけでなく、絶縁ゲート型半導体素子全般に適用する。また、太陽電池や光センサなどの光電変換素子、バイポーラトランジスタ、静電誘導型トランジスタ(SIT: Static Induction Transistor)などの多結晶シリコン膜を用いるあらゆる半導体装置に適用する。

【0128】(10) 連続発振のレーザーとして、YAGレーザーを用いたが、本発明はこれに限らず、たとえば、Arガスレーザー、ルビーレーザー、炭酸ガスレーザーなどの他の連続発振レーザーを用いてもよい。

【0129】

【発明の効果】本発明にあっては、以下の通りの優れた

効果を奏する。

【0130】(1) 低温プロセスが可能で、安価な基板を使用でき、半導体装置の製造コストを削減できる。

【0131】(2) 良質な多結晶シリコン膜およびこれを利用した半導体装置を得ることができ、半導体装置の製造における歩留まりが向上する。

【図面の簡単な説明】

【図1】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

10 【図2】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図3】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図4】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図5】本発明を具体化した第1実施形態（第2実施形態）の製造工程を説明するための断面図である。

【図6】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

20 【図7】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図8】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図9】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図10】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図11】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

30 【図12】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図13】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図14】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図15】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図16】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

40 【図17】アクティブマトリクス方式LCDのブロック構成図である。

【図18】画素の等価回路図である。

【図19】YAGレーザーアニール装置の構成図である。

【図20】本発明を具体化した第3実施形態の製造工程を説明するための断面図である。

【図21】本発明を具体化した第3実施形態の製造工程を説明するための断面図である。

50 【図22】本発明を具体化した第3実施形態の製造工程を説明するための断面図である。

【図23】本発明を具体化した第3実施形態の製造工程を説明するための断面図である。

【図24】本発明を具体化した第3実施形態の製造工程を説明するための断面図である。

【図25】本発明を具体化した第4実施形態の製造工程を説明するための断面図である。

【図26】本発明を具体化した第4実施形態の製造工程を説明するための断面図である。

【図27】本発明を具体化した第4実施形態の製造工程を説明するための断面図である。

【図28】本発明を具体化した第4実施形態の製造工程を説明するための断面図である。

【図29】本発明を具体化した第4実施形態の製造工程を説明するための断面図である。

【図30】本発明を具体化した第4実施形態の製造工程を説明するための断面図である。

【図31】本発明を具体化した第4実施形態の製造工程を説明するための断面図である。

【図32】本発明を具体化した第5実施形態の製造工程を説明するための断面図である。

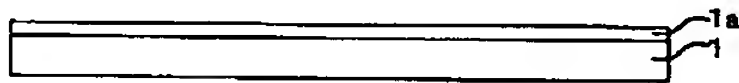
【図33】本発明を具体化した第5実施形態の製造工程を説明するための断面図である。

【図34】本発明を具体化した第5実施形態の製造工程を説明するための断面図である。

【図35】本発明を具体化した第5実施形態の製造工程を説明するための断面図である。

【図36】本発明を具体化した第5実施形態の製造工程を説明するための断面図である。

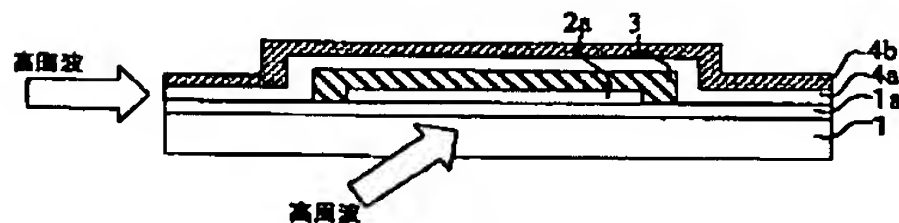
【図1】



【図3】



【図5】



\*【図37】本発明を具体化した第6実施形態の製造工程を説明するための断面図である。

【図38】本発明を具体化した第6実施形態の製造工程を説明するための断面図である。

【図39】本発明を具体化した第6実施形態の製造工程を説明するための断面図である。

【図40】本発明を具体化した第6実施形態の製造工程を説明するための断面図である。

【図41】本発明を具体化した第6実施形態の製造工程を説明するための断面図である。

【符号の説明】

1, 31, 41, 61, 71 絶縁基板

2a, 32a, 44a, 62a, 74a 非晶質シリコン膜 (第1非晶質シリコン膜)

2, 32, 44, 62, 74 多結晶シリコン膜 (第1多結晶シリコン膜)

3, 33, 43, 63, 73 ゲート絶縁膜

4a, 34a 非晶質シリコン膜 (第2非晶質シリコン膜)

4b Wシリサイド膜 (導電膜)

4c, 34c 多結晶シリコン膜 (第2多結晶シリコン膜)

4 ゲート電極

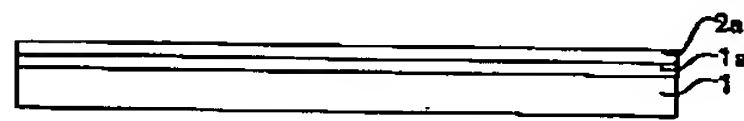
6, 36, 47, 65, 76 ソース・ドレイン領域

34b, 48, 67, 78 エネルギー波吸収膜 (導電膜)

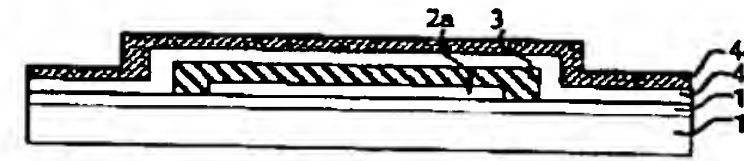
48 遮光膜

\* 67, 78 ソース・ドレイン配線

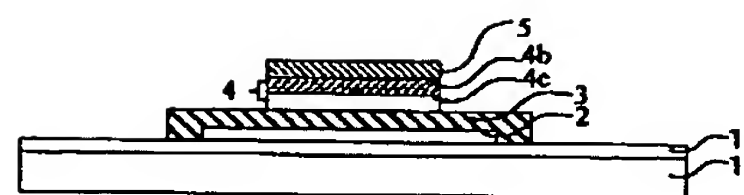
【図2】



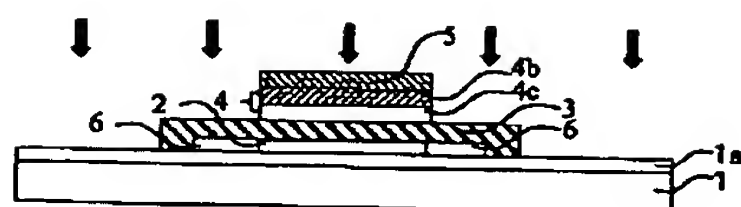
【図4】



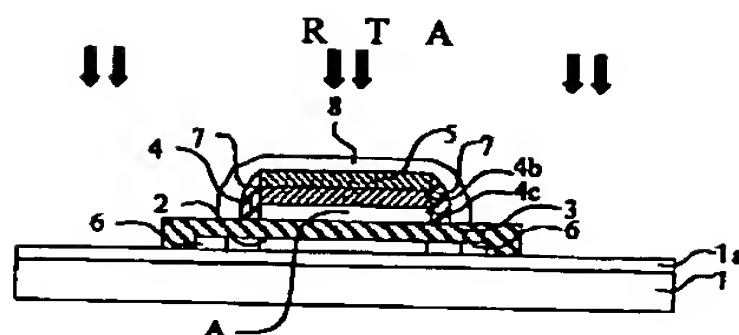
【図6】



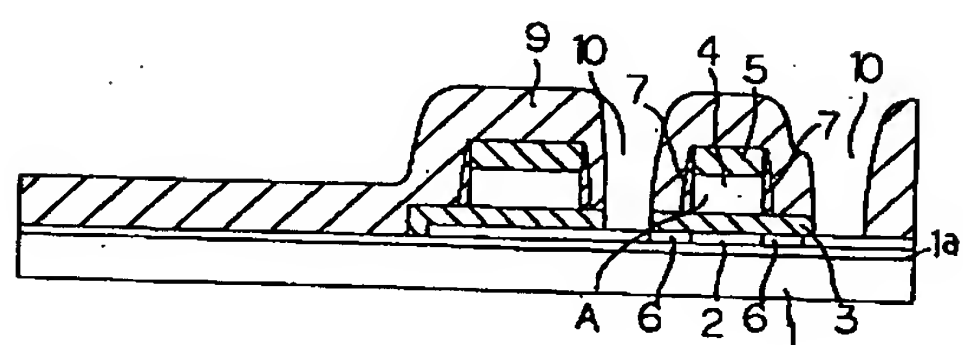
【図7】



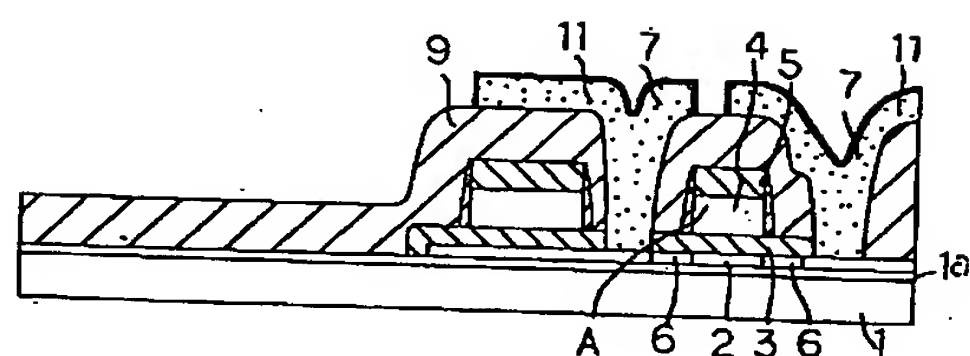
【図8】



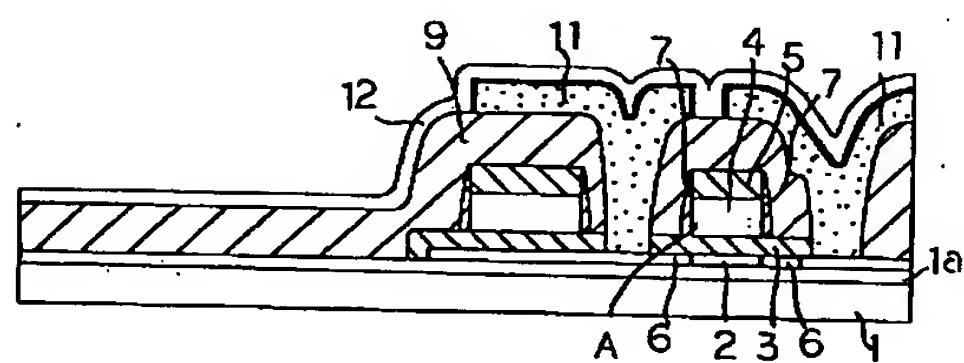
【図9】



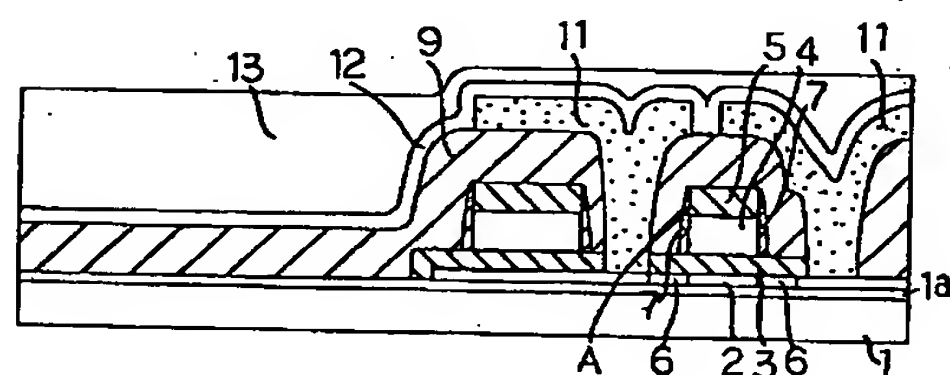
【図10】



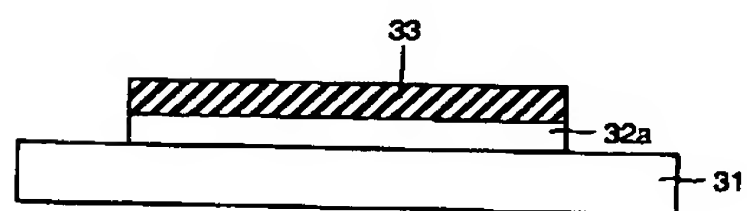
【図11】



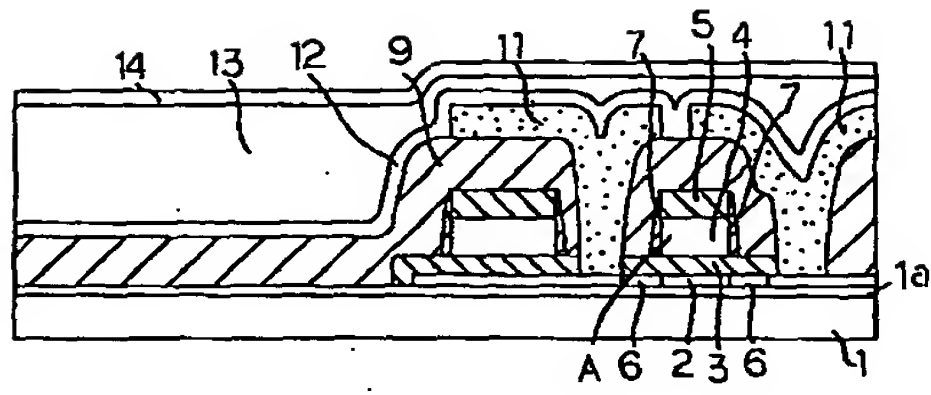
【図12】



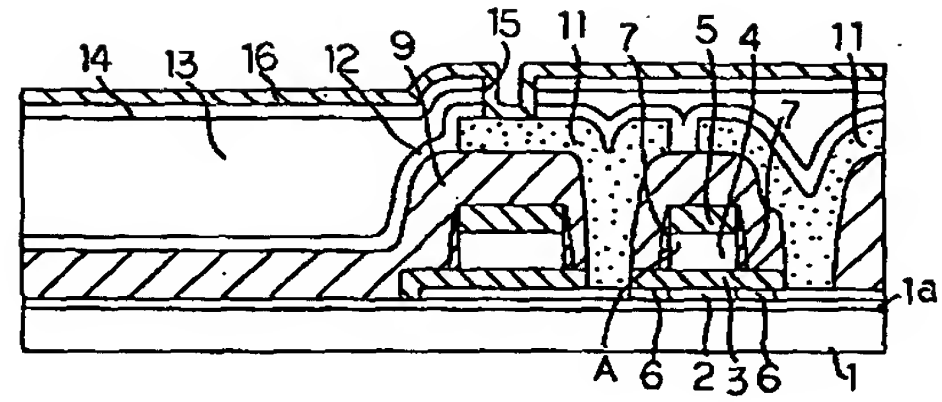
【図20】



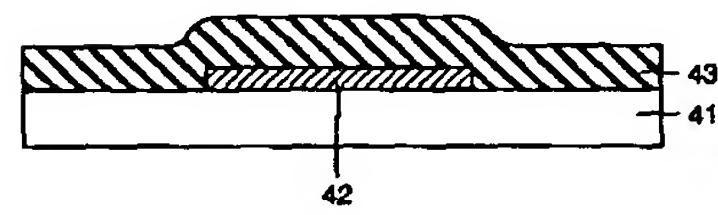
【図13】



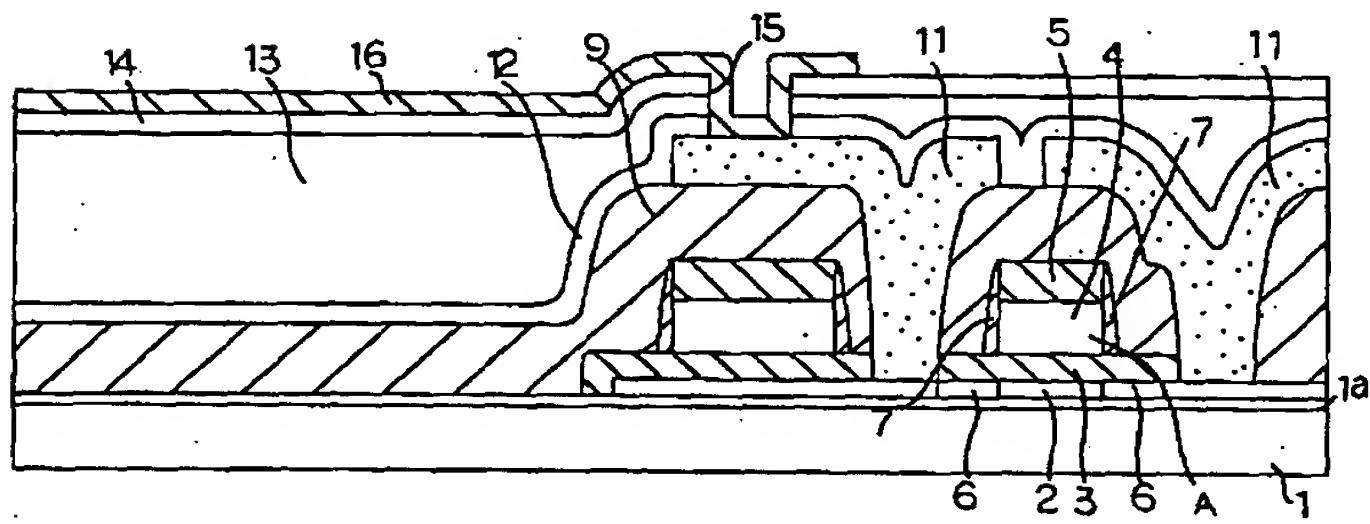
【図14】



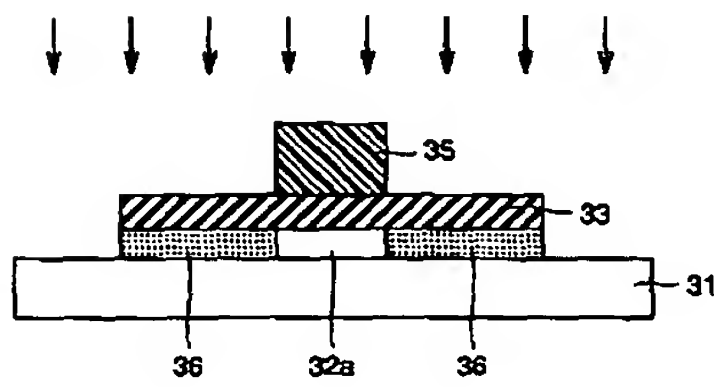
【図25】



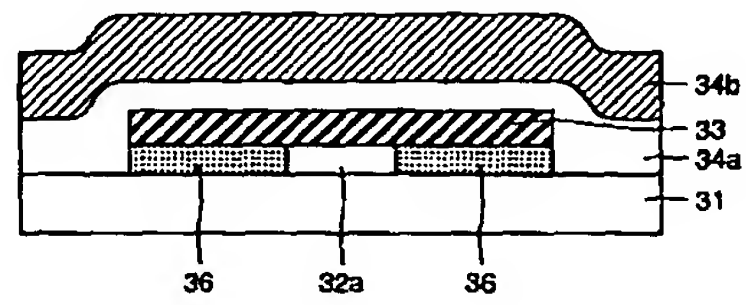
【図15】



【図21】

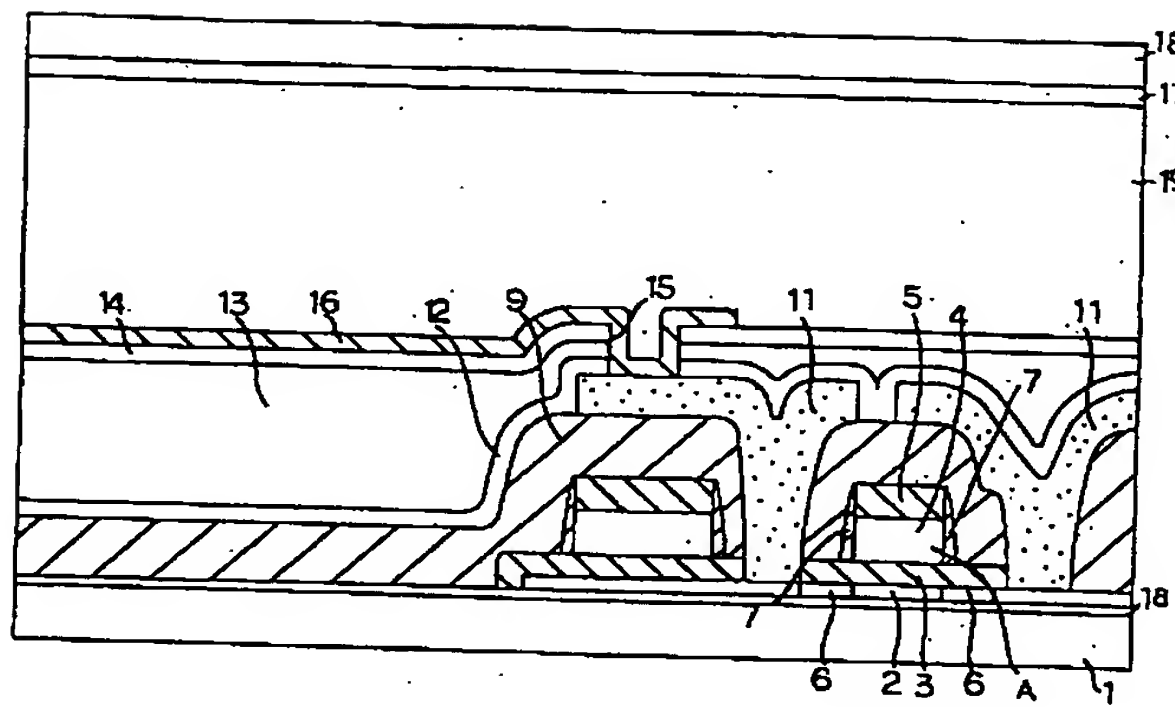


【図22】

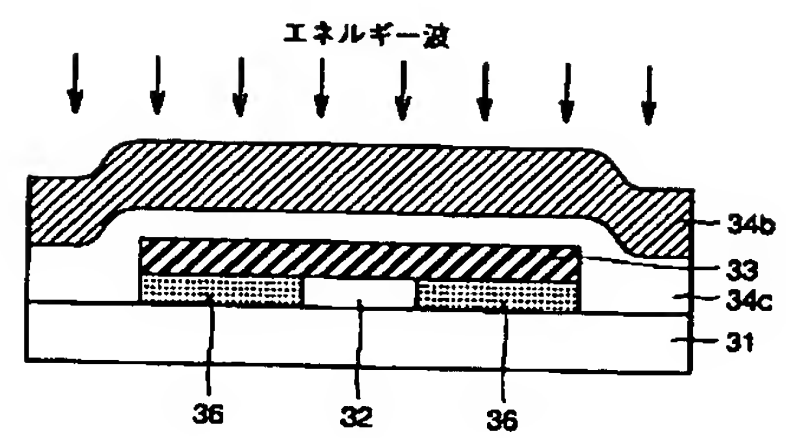




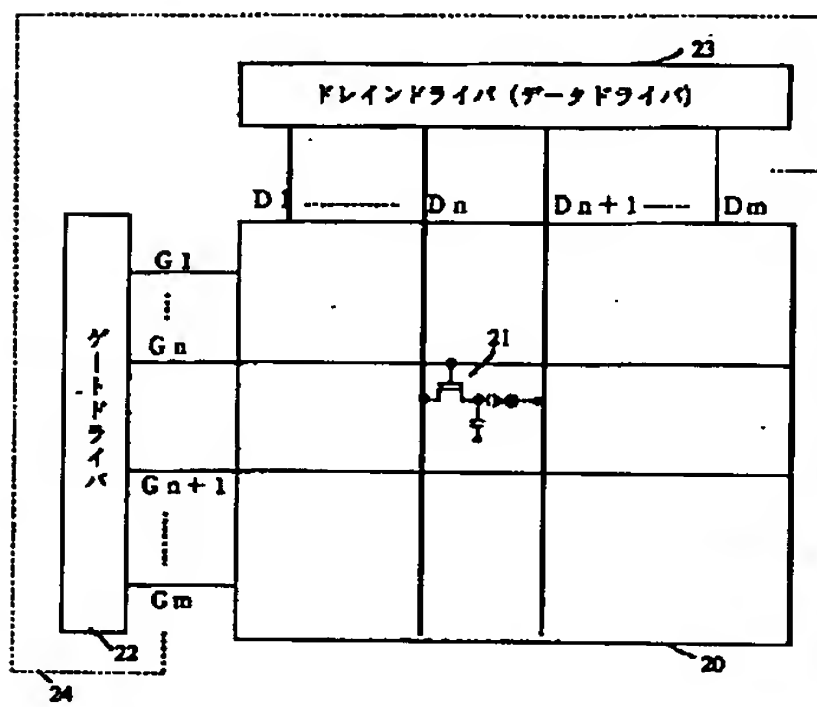
【図16】



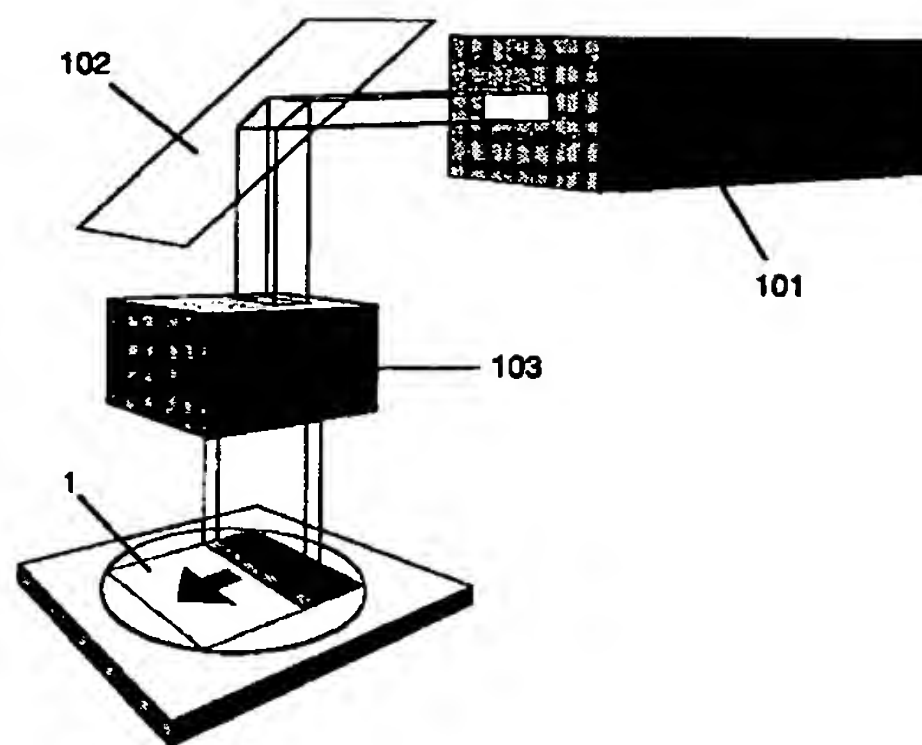
【図23】



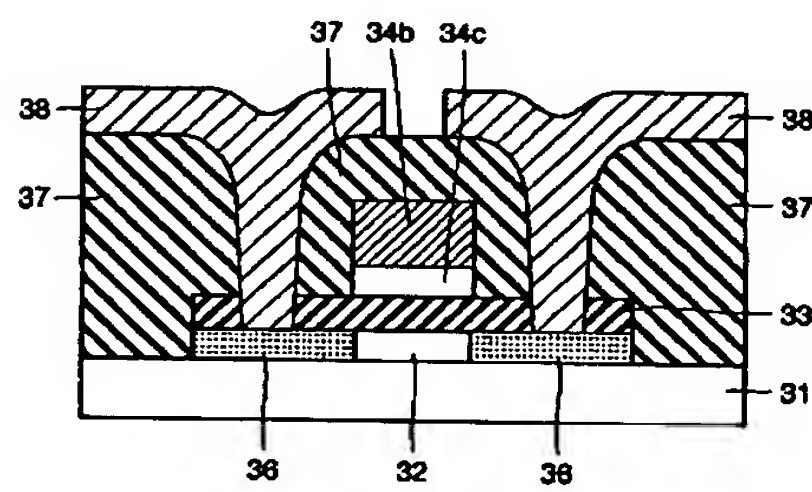
【図17】



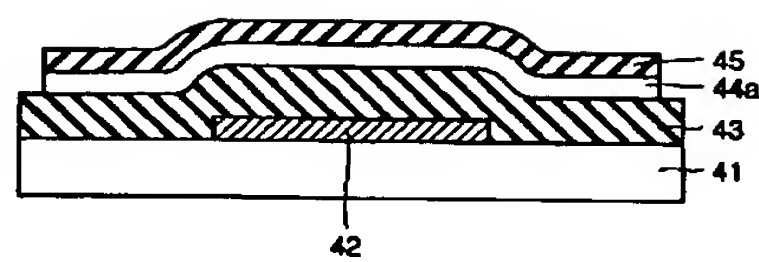
【図19】



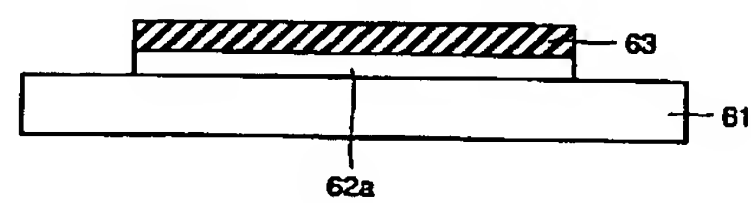
【図24】



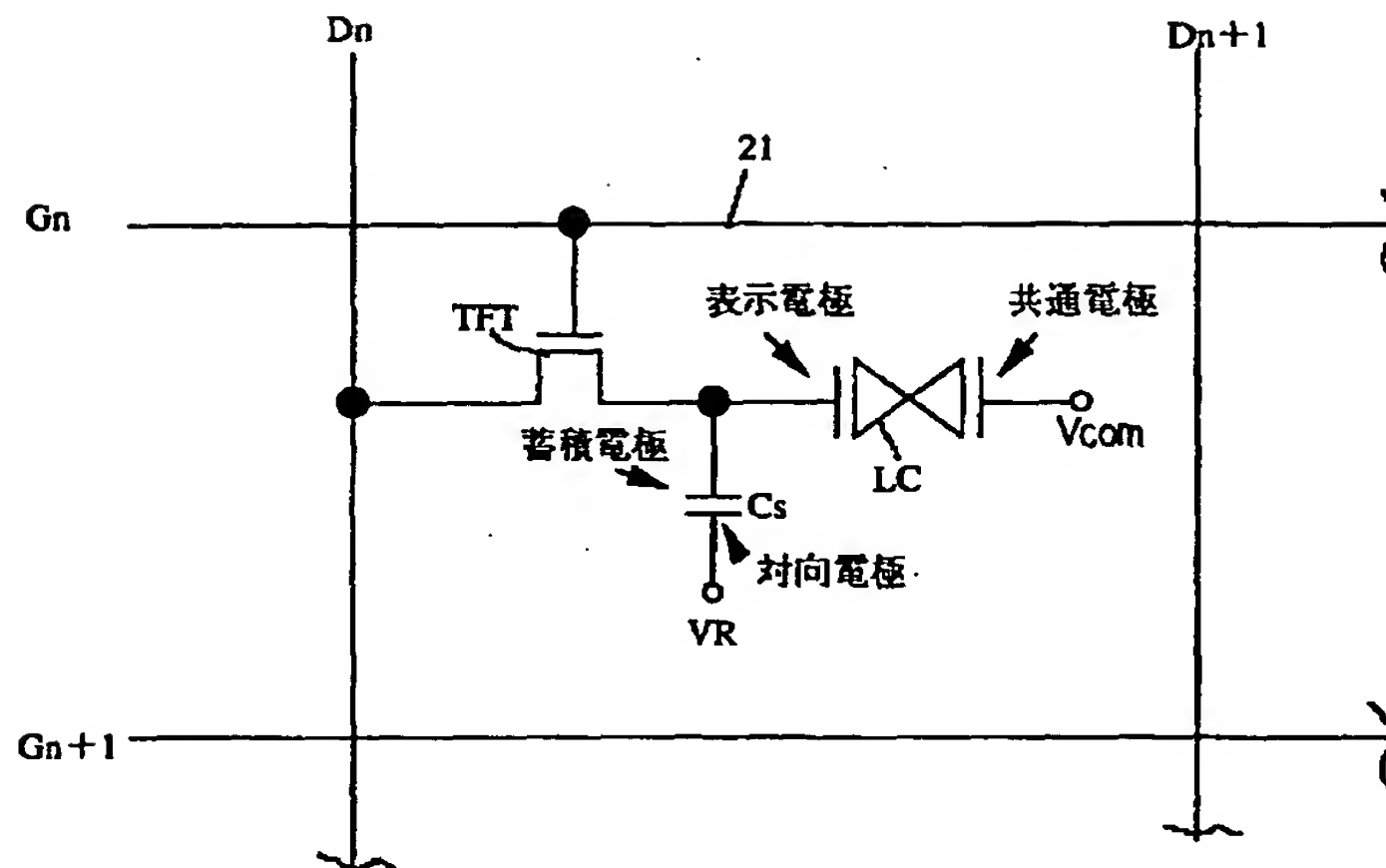
【図26】



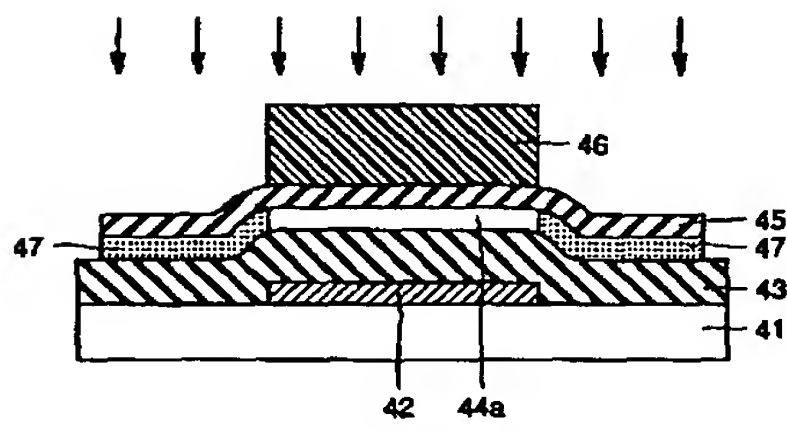
【図32】



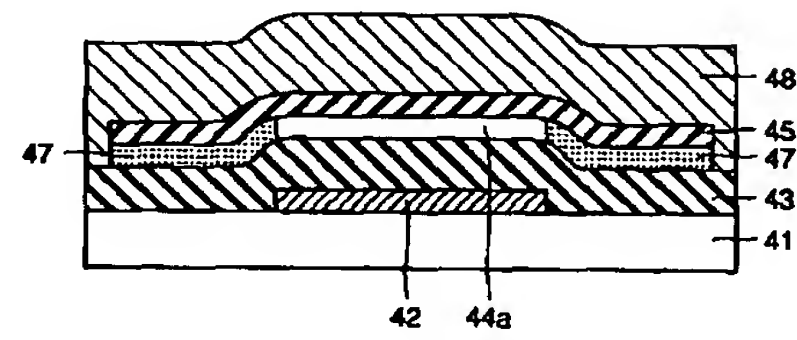
【図18】



【図27】

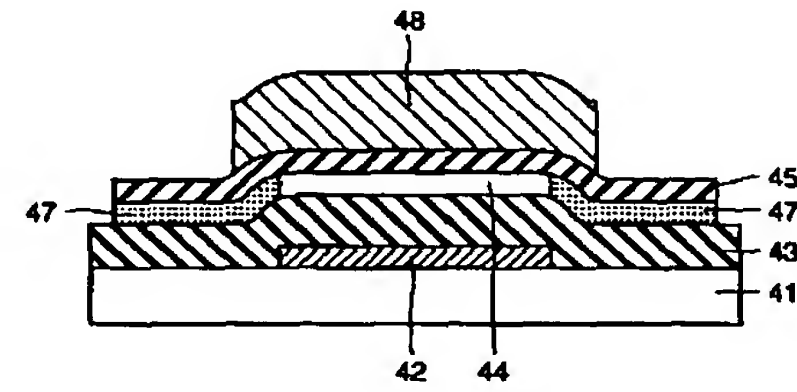
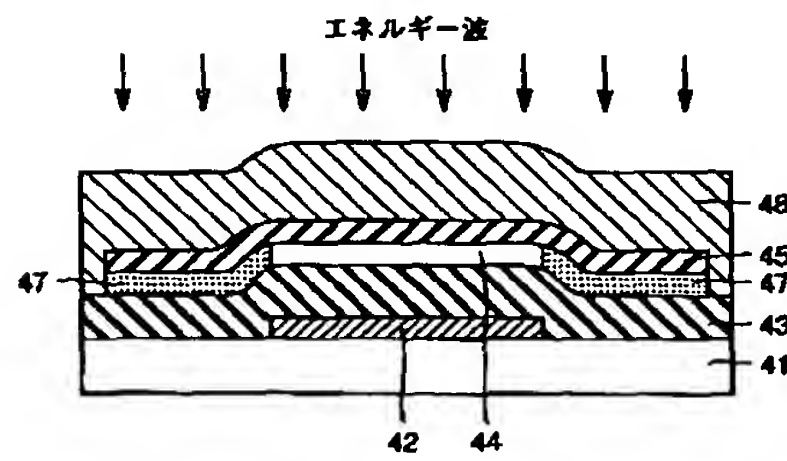


【図28】

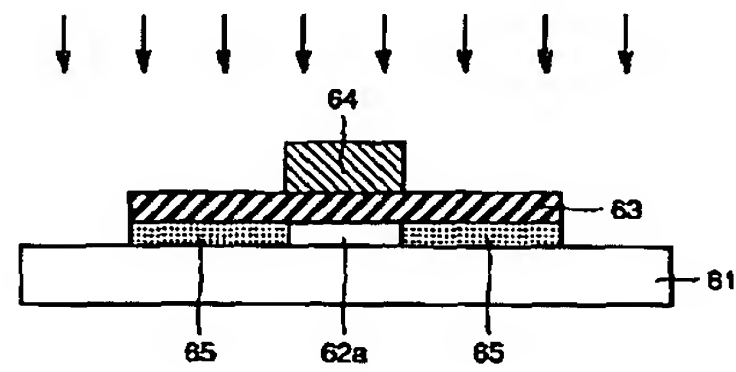


【図30】

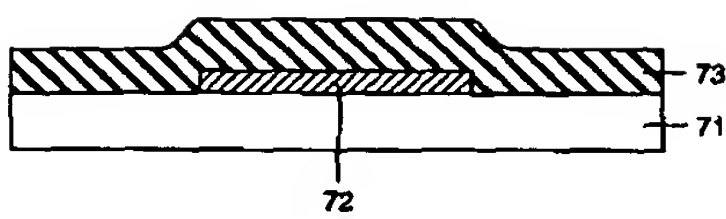
【図29】



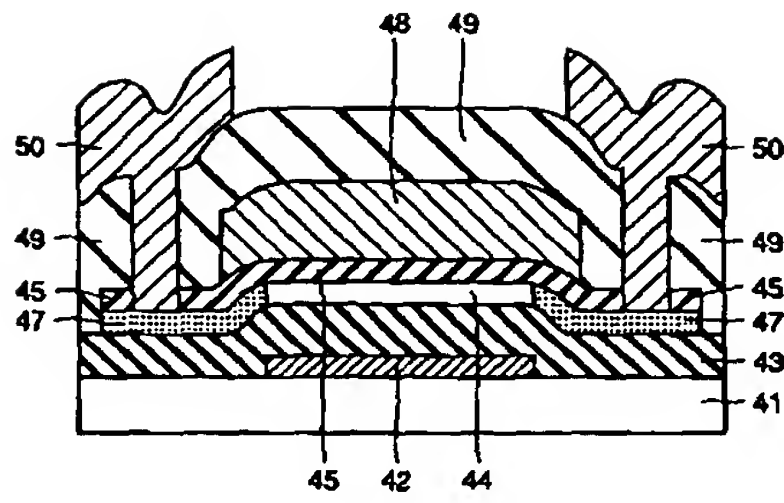
【図33】



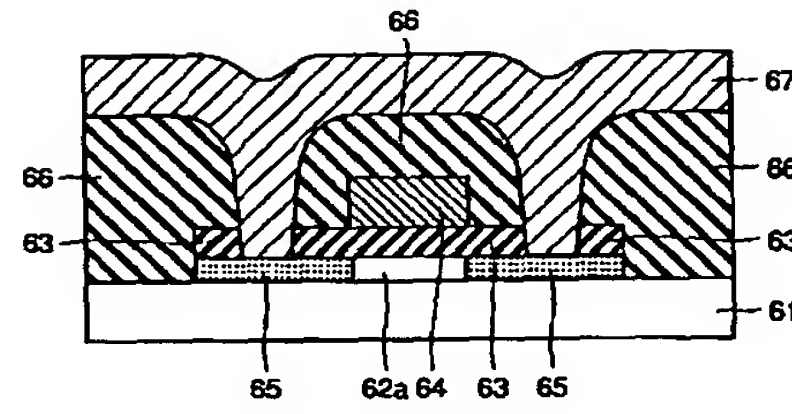
【図37】



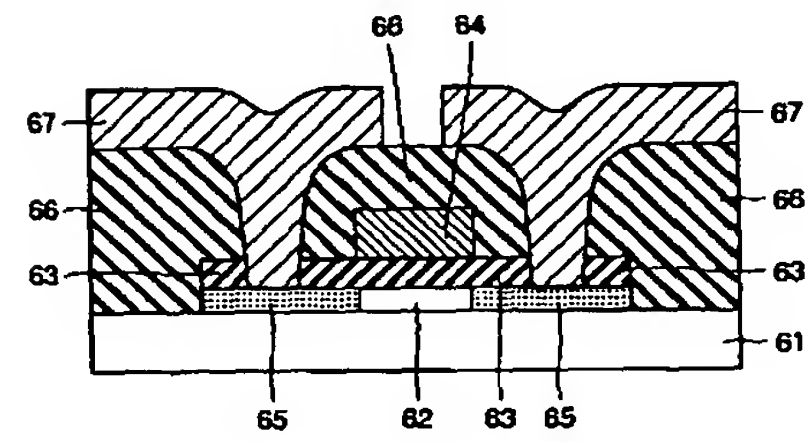
【図31】



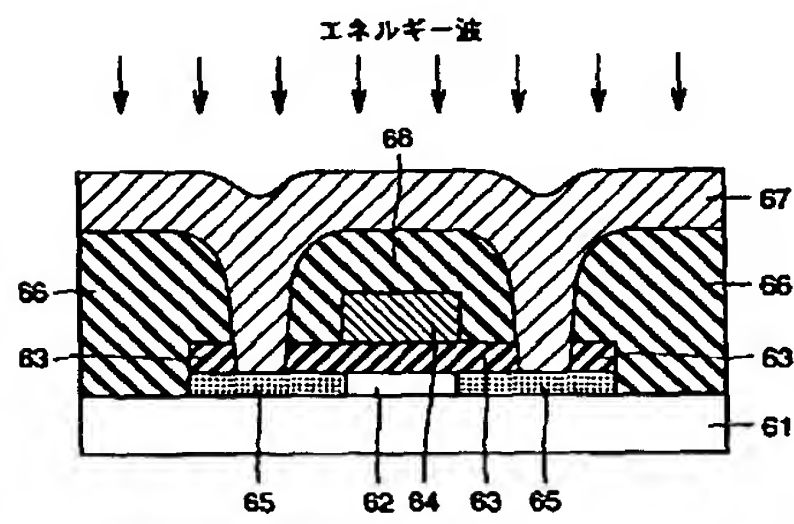
【図34】



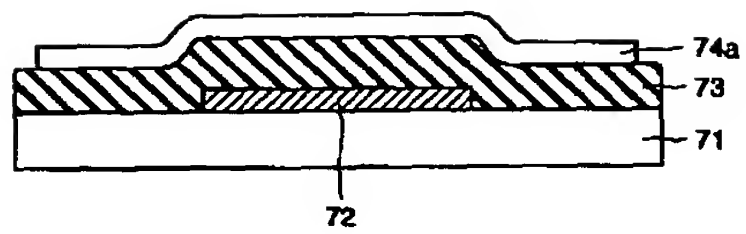
【図36】



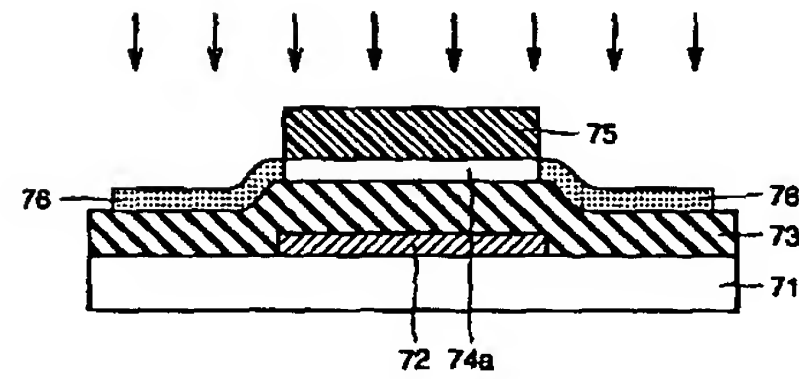
【図35】



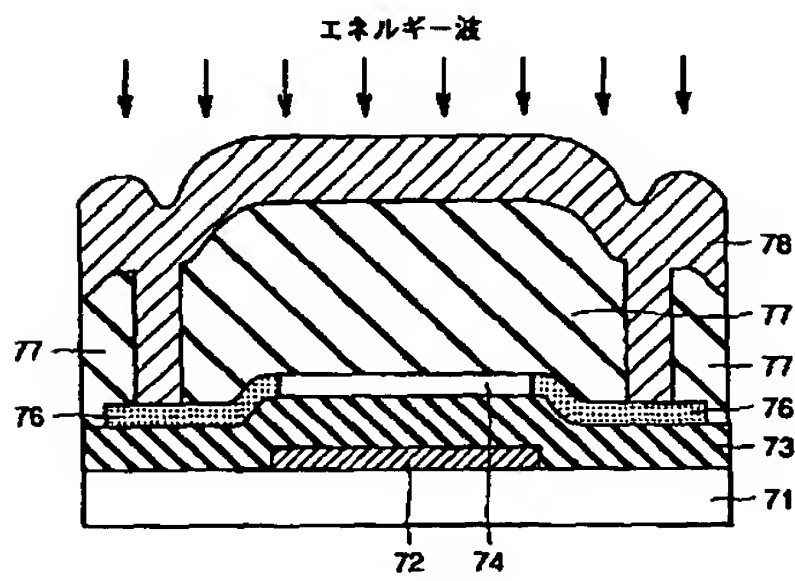
【図38】



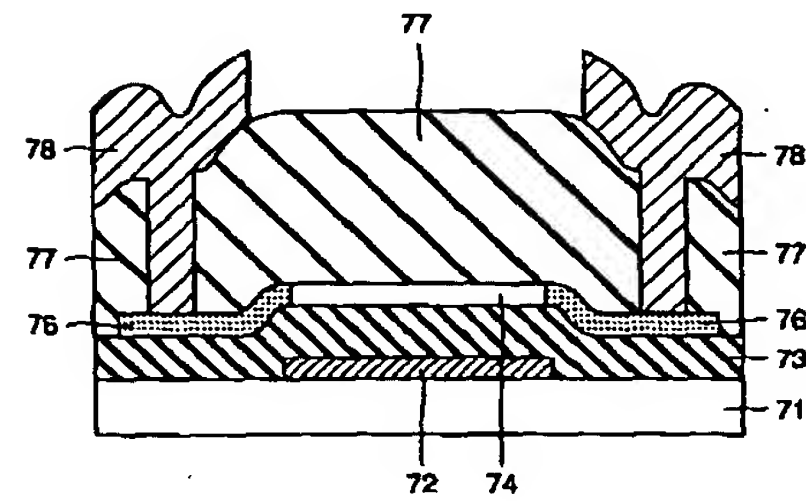
【図39】



【図40】



【図41】



フロントページの続き

(51)Int.Cl.

識別記号

F I

ターム (参考)

H 0 1 L 21/268

(72)発明者 野口 幸宏

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

F ターム (参考)

2H092 GA59 JA25 JA29 JA38 JA42  
JA44 JA46 JA47 JB13 JB23  
JB32 JB33 JB38 JB51 JB57  
JB63 JB69 KA04 KA07 MA05  
MA07 MA14 MA15 MA16 MA18  
MA19 MA20 MA22 MA27 MA29  
MA30 MA35 MA37 MA41 NA22  
NA25 NA27

(72)発明者 井手 大輔

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内5C094 AA13 AA25 AA42 AA43 AA44  
AA53 BA03 BA43 CA19 DA13  
DB01 DB04 DB10 EA10 FA01  
FA02 FB12 FB14 FB15 GB10  
5F052 AA02 AA22 AA24 BB01 BB02  
BB04 BB05 BB06 BB07 CA07  
CA09 DA02 DB02 DB03 DB07  
EA02 EA03 JA01  
5F110 AA16 AA17 AA30 BB02 CC02  
DD02 DD13 DD14 EE02 EE03  
EE04 EE05 EE06 EE09 EE14  
EE32 EE44 EE45 FF02 FF03  
FF09 FF30 GG02 GG13 GG25  
GG43 GG44 GG45 GG47 GG48  
HJ01 HJ13 HJ16 HJ23 HL04  
HL05 HL12 HL23 HM15 NN02  
NN23 NN35 NN37 NN43 NN46  
NN50 NN54 PP01 PP02 PP03  
PP11 PP27 QQ11